

VLSI 計算機輔助電路設計

一、招生班別：記憶體專業學程碩士學分班

二、課程簡介：

課程簡介	本課程規劃提供學生學習 VLSI 系統設計上電路和系統的需求，從基本的積體電路技術，到複雜的電路系統，同時讓學生了解未來積體電路與系統相關技術的發展和限制，並訓練學生熟悉 VLSI 系統設計發展所需的設計軟體及各種電路與系統設計方法。
教學目標	本課程旨在導引學生建立 VLSI 系統設計所需要的基礎知識以及 IC 設計所需的完整 CAD 軟體教學，提供學生記憶體晶片電路設計之電腦輔助軟體基本專業素養；並透過論文的研讀與心得討論，讓學生學習 IEEE 最新的電路與系統設計技術與方法；利用專題實作練習，讓學生實際進行 VLSI 系統設計。
教學方法	<input type="checkbox"/> 演講 <input type="checkbox"/> 問答 <input type="checkbox"/> 團體討論 <input type="checkbox"/> 分組討論 <input checked="" type="checkbox"/> 個案研討 <input type="checkbox"/> 示範 <input type="checkbox"/> 研習會 <input type="checkbox"/> 角色扮演 <input type="checkbox"/> 視聽教學 <input type="checkbox"/> 腦力激盪 <input type="checkbox"/> 活動教學 <input checked="" type="checkbox"/> 其他 <u>實驗實作、課堂授課</u>
成績考核	分組實驗報告 35%、課堂小考 15%、期中考 25%、期末報告 25%。
教科書	課程講義、投影片、設備操作說明書。
參考書(講義)	無
教師簡介	魏一勤／長庚大學電機系副教授／台灣大學電子博士，專長晶片設計、低功率電路與系統設計、AI 演算法與晶片設計。 高少谷／長庚大學電機系副教授／台灣大學電子博士，專長類比晶片設計、混合訊號晶片設計。 陳元賀／長庚大學電子系教授／清華大學電機博士，專長數位 IC 設計、FPGA 電路設計、數位影像處理電路設計、高效能算術運算電路設計晶片設計。

三、收費標準：每學分每人 5238 元，3 學分，共 15714 元

四、上課時間：112 年 07 月 05 日~112 年 09 月 01 日每星期三、五 9:00~12:00

五、上課地點：長庚大學工學院

六、授課大綱：如下

週次	上課日期	開始/結束	時	授課大綱	授課教師
----	------	-------	---	------	------

		時間	數		
1	112/07/05	09:00-12:00	3hr	Course Introduction	高少谷 電子電路實驗室
	112/07/07	09:00-12:00	3hr	VLSI Layout	
2	112/07/12	09:00-12:00	3hr	Lab- Digital Logic Module Layout	高少谷 電子電路實驗室
	112/07/14	09:00-12:00	3hr	Lab- Analog Circuit Module Layout	
3	112/07/19	09:00-12:00	3hr	Lab- Final Term Project	高少谷 電子電路實驗室
	112/07/21	09:00-12:00	3hr		
4	112/07/26	09:00-12:00	3hr	VLSI Design Concept	魏一勤 VLSI/CAD 實驗室、 DSP 實驗室
	112/07/28	09:00-12:00	3hr		
5	112/08/02	09:00-12:00	3hr	Quiz	魏一勤 VLSI/CAD 實驗室、 DSP 實驗室
	112/08/04	09:00-12:00	3hr	HSPICE LAB-1 Various Logic Families	
6	112/08/09	09:00-12:00	3hr	HSPICE LAB-2 Arithmetic Circuits	魏一勤 VLSI/CAD 實驗室、 DSP 實驗室
	112/08/11	09:00-12:00	3hr	HSPICE LAB-3 Term Project Practice	
7	112/08/16	09:00-12:00	3hr	Syllabus and Lab rule introduction	陳元賀
	112/08/18	09:00-12:00	3hr	- Concept of Verilog - FPGA platform FPGA LAB - Board control(SW/LED/IO) Lab	
8	112/08/23	09:00-12:00	3hr	Video implementation Lab	陳元賀
	112/08/25	09:00-12:00	3hr	Audio implementation Lab	
9	112/08/30	09:00-12:00	3hr	Term Project	陳元賀
	112/09/01	09:00-12:00	3hr	Midterm report	

※以上師資與課程內容時間場地等僅供參考，若有異動以各系所公告為主。